

## ⑫ 公開特許公報(A) 平1-251734

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)10月6日

H 01 L 21/68

A-7454-5F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体製造装置

⑯ 特 願 昭63-79061

⑰ 出 願 昭63(1988)3月31日

⑱ 発 明 者 桐 山 建 二 山梨県韮崎市藤井町北下条2381番地の1 テル・バリアン株式会社内

⑲ 発 明 者 河 治 利 幸 山梨県韮崎市藤井町北下条2381番地の1 テル・バリアン株式会社内

⑳ 発 明 者 堀 内 孝 山梨県韮崎市藤井町北下条2381番地の1 テル・バリアン株式会社内

㉑ 出 願 人 テル・バリアン株式会社 山梨県韮崎市藤井町北下条2381番地の1

㉒ 代 理 人 弁理士 須山 佐一

## 明 細 書

## 1. 発明の名称

半導体製造装置

## 2. 特許請求の範囲

ウエハキャリアに収容された半導体ウエハを取出す第1のウエハ搬送機構と、前記第1のウエハ搬送機構により搬送された半導体ウエハを処理室内に搬送する第2のウエハ搬送機構とを備えた半導体製造装置において、

前記第1のウエハ搬送機構と、第2のウエハ搬送機構間に、これら両ウエハ搬送機構により搬送された半導体ウエハを一時保管するための複数枚のウエハ収容機構を設けたことを特徴とする半導体製造装置。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体製造装置に関する。

(従来の技術)

近年の半導体製造工程で使用する半導体の製

造装置例えばCVD装置等では、多品種・少量生産化に対応するために、各半導体ウエハ毎に生産管理が可能な枚葉処理方式の製造装置が普及しており、このような枚葉処理方式の半導体製造装置では、予備真空室となるロードロック室にウエハキャリアを収容し、このウエハキャリアから所定の半導体ウエハを搬送装置により取出して、所定の処理室へと搬送するような構成となっている。

このような半導体製造装置の搬送装置は、ロードロック室から半導体ウエハを取出して装置内に搬送するロードロック室側搬送系と、このロードロック室側搬送系により搬送された半導体ウエハを移載して所定の処理室までこれを搬送する処理室側搬送系とから構成されており、処理室側搬送系により所望の処理室へと半導体ウエハを搬送して一連の処理が可能となっている。

(発明が解決しようとする課題)

しかしながら、上述した従来の半導体製造装置では、ロードロック室側の搬送系と処理室側の搬送系に処理能力差がある場合には、全体の搬送

処理能力が処理能力の低い搬送系の処理能力となり、さらに処理能力の低い搬送系に待ち時間を生じた時等、装置全体の処理能力を低下させる原因となっていた。

例えば、処理室側搬送系が半導体ウエハを各処理室に搬送している間は、ロードロック室側の搬送系は、次処理の半導体ウエハを保持したまま処理室側搬送系への移載場所待機していなければならず、逆に処理室側搬送系の処理が早い場合には、ロードロック室側搬送系が次処理の半導体ウエハを移載場所まで搬送するまで待機しなければならない。

本発明は、上述した従来の問題点を解決するためになされたもので、処理室側搬送系とロードロック室側搬送系間に半導体ウエハの一時収容機構を設けることで、各搬送系の待機時間がなくなり、ウエハ搬送効率を向上させ、装置全体の処理能力が向上する半導体の製造装置に関する。

〔発明の構成〕

（課題を解決するための手段）

中央部に配置されたウエハ搬送室1の一方には、これを挟んで両側に夫々ウエハキャリア2を収容するロードロック室3が配設されており、また、ウエハ搬送室1の他方には、ウエハ搬送室1を中心としてほぼ90°の角度間隔をおいて3つのチャンバ4a、4b、4cが同心円上に配設されている。

ウエハ搬送室1内には、各ロードロック室3内のウエハキャリア2とウエハ搬送室1間で、半導体ウエハ5の搬送を行うためのロードロック室側搬送機構6と、このロードロック室側搬送機構6により搬送室1に搬送された半導体ウエハ5を各処理室4a、4b、4cの所定の処理室へと搬送するための処理室側搬送機構7、そして、これら両搬送機構6、7の間に設けられ、両搬送機構6、7により搬送された半導体ウエハ5を一時収容するためのバッファ棚8が設けられている。

このようなCVD装置における半導体ウエハの処理は、まず、ロードロック室側搬送機構6のウエハ保持部例えば搬送アーム6a等により、ウエ

ハキャリア2から所定の半導体ウエハ5を取出し、これを搬送室1内のバッファ棚8へ移載する。そして、処理室側搬送機構7のウエハ保持部例えば搬送アーム7aにより、このバッファ棚8から所定の半導体ウエハを取出し、所定のチャンバへと搬送し、一連の処理を行う。処理終了後の半導体ウエハは、上記動作と逆の動作で搬送して所定のウエハキャリアへ収容する。

（作用）

第1のウエハ搬送機構と、第2のウエハ搬送機構間に、半導体ウエハを一時保管するためのウエハ収容機構を設けることで、両ウエハ搬送機構の待機時間がなくなり、ウエハ搬送効率が向上し、装置全体の処理能力を向上させることができる。

（実施例）

以下、本発明をマルチチャンバ型CVD装置に適用した一実施例について図を参照して説明する。

ハキャリア2から所定の半導体ウエハ5を取出し、これを搬送室1内のバッファ棚8へ移載する。そして、処理室側搬送機構7のウエハ保持部例えば搬送アーム7aにより、このバッファ棚8から所定の半導体ウエハを取出し、所定のチャンバへと搬送し、一連の処理を行う。処理終了後の半導体ウエハは、上記動作と逆の動作で搬送して所定のウエハキャリアへ収容する。

ところで、バッファ棚8は、多数の半導体ウエハを収容できるように、例えば第2図に示すように、多段式の棚とし、各棚（以下、スロット）8aに夫々半導体ウエハ5を収容するように構成されている。

このバッファ棚8は、昇降台8上に搭載されており、この昇降台9を駆動させて所定のスロット8aをウエハ搬送機構6、7の搬送アーム6a、7aと同レベルの高さにし、半導体ウエハ5の移載を行う。

また、バッファ棚8の昇降路に沿って、例えばフォトセンサ等のスロット位置検出機構10がバ

ッファ棚8の昇降路を水平に横切るように対向して配設されており、このスロット位置検出機構10により何段目のスロットが半導体ウエハの移送を行ったかを知ることができ、該位置情報をこのときの半導体ウエハの品種情報とともに装置制御部11の記憶機構12に記憶させておくことで、バッファ棚8の各スロットに収容された半導体ウエハの収容管理を行うことができる。そして、この記憶情報に基づいて搬送系制御機構13が各ウエハ搬送系6、7の動作を制御することで、バッファ棚8と各ウエハ搬送系6、7間のウエハ移送動作を予め定められたプログラムに基づいて行うことができる。

このように、各ウエハ搬送機構6、7間にバッファ棚8を設け、このバッファ棚8に半導体ウエハを一時収容する構成とすることで、各ウエハ搬送機構6、7の処理能力の差により生じるウエハ搬送系の待機時間がなくなり、装置全体の処理能力が向上する。

ところで上述実施例では、バッファ棚8の設置

数を1つとしたが、特に設置数に限定されるものではなく、例えば、未処理の半導体ウエハを収容するバッファ棚と処理済の半導体ウエハを収容するバッファ棚とを別々に設ければ、各ウエハ搬送系の待機時間をさらに短縮することができる。

また、バッファ棚近傍にウエハ冷却媒体を配設すれば、処理プロセス中でウエハの冷却を行うこともできる。

#### 〔発明の効果〕

以上説明したように、本発明の半導体製造装置によれば、半導体ウエハの搬送系の搬送効率が向上し、装置全体の処理能力の向上が図れる。

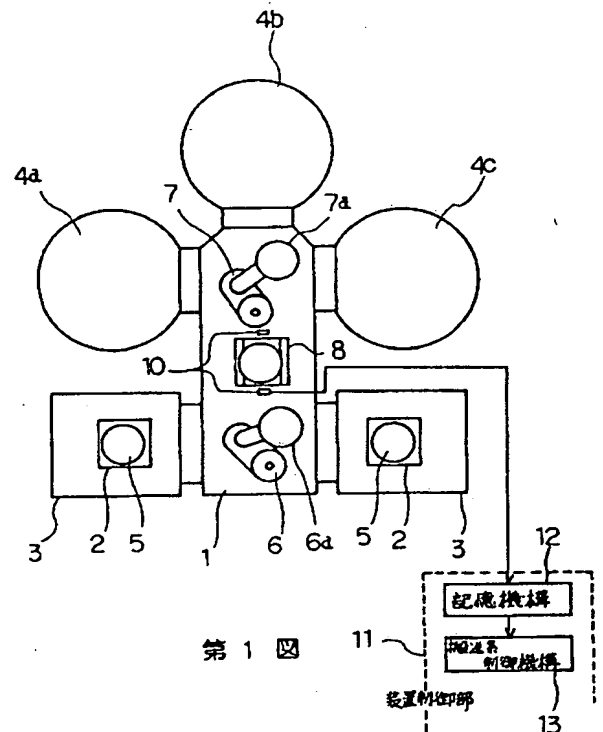
#### 4. 図面の簡単な説明

第1図は本発明をマルチチャンバ型CVD装置に適用した実施例の装置構成を示す図、第2図(a)は第1図のバッファ棚の構成を示す平面図であり、第2図(b)は第2図(a)の側面図である。

1……搬送室、3……ロードロック室、4a、4b、4c……チャンバ、5……半導体ウエハ、

6、7……ウエハ搬送機構、8……バッファ棚、9……昇降台、10……スロット位置検出機構、11……装置制御部、12……記憶機構。

出願人 テル・バリアン株式会社  
代理人 弁理士 須山 佐一



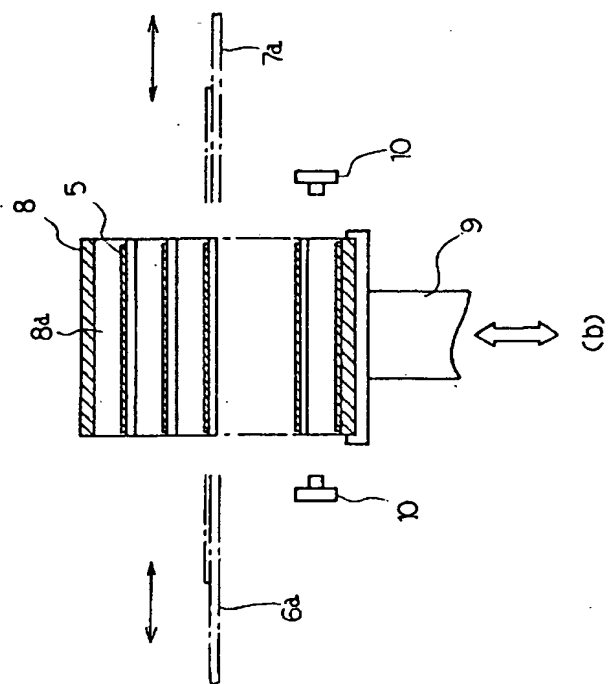
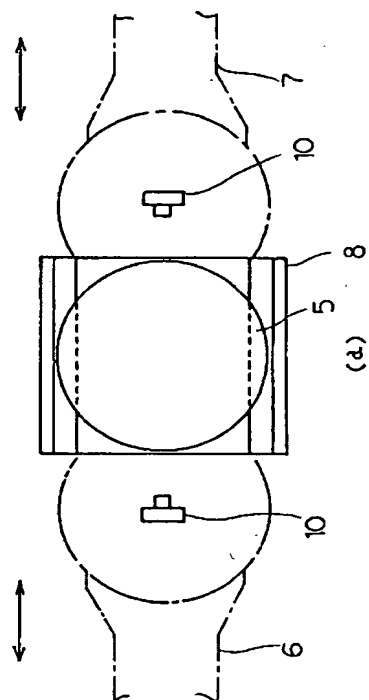


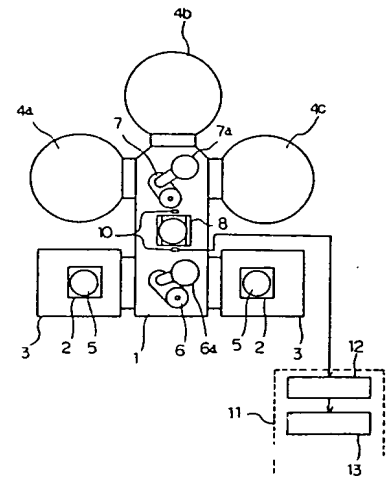
図2

**(54) SEMICONDUCTOR MANUFACTURING APPARATUS**

(11) 1-251734 (A) (43) 6.10.1989 (19) JP  
 (21) Appl. No. 63-79061 (22) 31.3.1988  
 (71) TERU BARIAN K.K. (72) KENJI KIRIYAMA(2)  
 (51) Int. Cl.<sup>4</sup> H01L21/68

**PURPOSE:** To enhance the wafer conveyance efficiency and the treatment capacity of an apparatus as a whole by a method wherein a wafer housing mechanism used to temporarily keep a semiconductor wafer is installed between a first wafer conveyance mechanism and a second wafer conveyance mechanism.

**CONSTITUTION:** Load-lock chambers 3 are arranged and installed individually on both sides by sandwiching a wafer conveyance chamber 1 in the central part of a multi-chamber type CVD apparatus on one side of the conveyance chamber. A conveyance mechanism 6 on the side of the load-lock chambers is installed inside the conveyance chamber 1; a semiconductor wafer 5 is conveyed between wafer carriers 2 inside the individual load-lock chambers 3 and the conveyance chamber 1. A conveyance mechanism 7 on the side of a treatment chamber conveys the semiconductor wafer 1 conveyed to the conveyance chamber 1 to individual treatment chambers, e.g., prescribed treatment chambers 4a, 4b, 4c. A buffer shelf 8 is installed between these conveyance mechanism 6, 7; the semiconductor wafer 5 which has been conveyed by using both conveyance mechanisms 6, 7 is housed temporarily. By this setup, the standby time of a wafer conveyance system due to a difference in the treatment capacity of the individual wafer conveyance mechanisms 6, 7 can be eliminated.



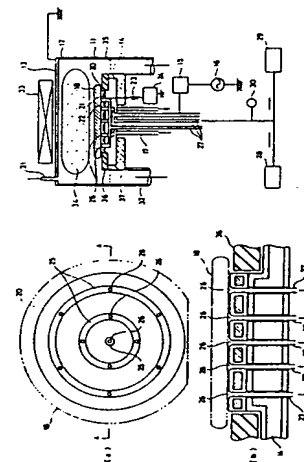
11: apparatus control part, 12: storage mechanism, 13: conveyance system control mechanism

**(54) ELECTROSTATIC CHUCK APPARATUS**

(11) 1-251735 (A) (43) 6.10.1989 (19) JP  
 (21) Appl. No. 63-78975 (22) 31.3.1988  
 (71) TOSHIBA CORP (72) MAKOTO SEKINE  
 (51) Int. Cl.<sup>4</sup> H01L21/68, H01L21/302

**PURPOSE:** To enhance the uniformity, reproducibility and a yield of various treatments by a method wherein thermal conductivity between a substrate to be treated and a specimen stage is changed partially and a temperature on the surface of the substrate to be treated is distributed uniformly.

**CONSTITUTION:** In a dry etching apparatus using an electrostatic chuck plate, a wafer 18 is attracted and fixed to the surface of the electrostatic plate 20 on the surface of an electrode (cathode) 14. Two or more grooves 25 of, e.g., a concentric circle shape are formed on the surface of the electrostatic chuck plate 20; gas introduction holes 26 are made partially in the grooves 25. Two or more cooling-gas introduction tubes 27 which have pierced the electrode 14 are connected to the introduction holes 26; a cooling gas such as He whose thermal conduction is good, N<sub>2</sub> which is economical or the like can be supplied to the rear of the wafer. A gas pressure on the rear of the wafer is changed locally; a temperature of the wafer is made uniform. In order to realize this, e.g., a gas pressure to be applied to the grooves 25 at a peripheral part is made higher than a gas pressure to be applied to the central part. The cooling efficiency at the peripheral part whose temperature is raised as compared with that in the central part of the wafer is enhanced.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 1-251736 (A) (43) 6.10.1989 (19) JP  
 (21) Appl. No. 63-78748 (22) 31.3.1988  
 (71) TOSHIBA CORP (72) HIROOMI NAKAJIMA(2)  
 (51) Int. Cl.<sup>4</sup> H01L21/76, H01L27/04, H01L27/10, H01L29/78

**PURPOSE:** To eliminate the concentration of strain, to prevent a leakage current of an element from being increased and to prevent the breakdown voltage from being decreased by a method wherein, after an impurity has been ion-implanted selectively only into a bottom part of a groove in an element isolation region and an impurity-added layer has been formed, an insulating coating is formed on the whole surface of a substrate.

**CONSTITUTION:** A groove 16 is formed in an element-isolation region of a p-type Si substrate 11 by a selective etching operation; after that, an SiO<sub>2</sub> film 17 is deposited on the whole surface of the substrate including the groove by an atmospheric-pressure CVD operation. During this process, the SiO<sub>2</sub> film 17 is formed as follows: a thickness on a flat face at the upper part of the groove on the substrate is d<sub>1</sub> = about 5000 Å; a thickness at the upper part on a side wall is d<sub>2</sub> = about 5000 Å; a thickness at the lower part is d<sub>3</sub> = about 2000 Å. In addition, a thickness at a bottom part is d<sub>4</sub> = about 1000 Å. Then, by utilizing a difference in film thickness of the SiO<sub>2</sub> film 17, boron or the like is ion-implanted only into the bottom part of the groove 16, e.g., at a dose of 10<sup>14</sup>/cm<sup>2</sup> and under a condition of an acceleration voltage of 40keV. Then, a p<sup>+</sup> type layer 18 can be formed. After that, the SiO<sub>2</sub> film 17 is removed; an SiO<sub>2</sub> film 19 is formed again by thermal oxidation. A polycrystalline silicon layer 10 is filled into the groove.

